

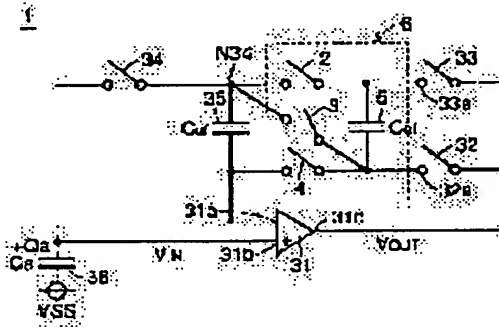
(11)Publication number : 2000-114889
(43)Date of publication of application : 21.04.2000

H03F 3/34

(71)Applicant : MITSUBISHI ELECTRIC CORP

(72)Inventor : HASHIDO RYUICHI
URAKABE TAKAHIRO
SUZUKI AKIHIRO
IWATA AKIHIKO

SOLUTION: First of all, only switches 2, 4, 32 and 33 are turned on and the charges in capacitors 5 and 35 are erased. Next, only switches 2, 4, 32 and 34 are turned on and the capacitors 5 and 35 are charged into offset voltage V_{of} of a differential amplifier 31. Next, only switches 3 and 33 are turned on and an output voltage is lowered just by $2V_{of}$. By making a capacitance C_a of a capacitor 36 double in comparison with a capacitance C_{of} of respective capacitors 5 and 35, the offset voltage V_{of} can be completely canceled so that it is not necessary to expand the electrode area of the capacitor 36.



[Date of extinction of right]

<http://www19.ipdl.jpo.go.jp/PA1/result/detail/main/wAAA1Ca4eTDA412114889P1.ht...> 04/01/07

(43) 公開日 平成12年4月21日(2000.4.21)

(51) Int. Cl. ⁷
H03F 3/34

識別記号

F I
H03F 3/34

デコード (参考)

審査請求 未請求 請求項の数 5 O L (全13頁)

(21)出願番号 特願平10-282584

(22)出願日 平成10年10月5日(1998. 10. 5)

(71)出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号

(72)発明者 橋戸 隆一
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 浦壁 隆浩
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(74)代理人 100064746
弁理士 深見 久郎 (外3名)

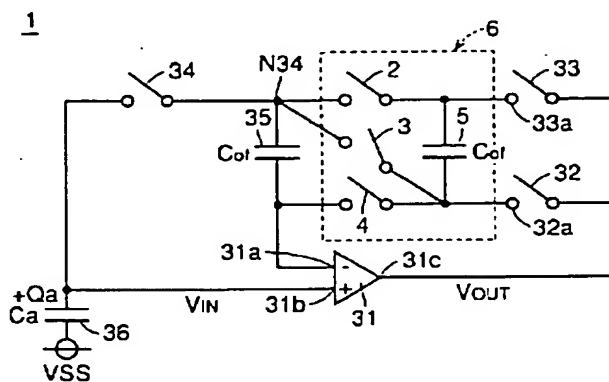
[最終頁に続く](#)

(54) 【発明の名称】 オフセット電圧補償回路

(57) 【要約】

【課題】 レイアウト面積が小さなオフセット電圧補償回路を提供する。

【解決手段】 まずスイッチ 2, 4, 3 2, 3 3 のみをオンさせてキャパシタ 5, 3 5 の電荷を消去する。次にスイッチ 2, 4, 3 2, 3 4 のみをオンさせてキャパシタ 5, 3 5 を差動増幅器 3 1 のオフセット電圧 V_{of} に充電する。次にスイッチ 3, 3 3 のみをオンさせて出力電圧を $2V_{of}$ だけ低下させる。キャパシタ 3 6 の容量値 C をキャパシタ 5, 3 5 の各々の容量値 C_{of} の 2 倍にすればオフセット電圧 V_{of} を完全にキャンセルできるので、キャパシタ 3 6 の電極面積を大きくする必要がない。



【特許請求の範囲】

【請求項 1】 入力電圧と同じ電圧を出力する電圧フォロウとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、それぞれが予め定められた第 1 の容量値を有する第 1 ～第 N（ただし、N は 2 以上の整数である）のキャパシタ、

前記差動増幅器の前記第 1 の入力端子と基準電位のラインとの間に接続されて前記入力電圧で充電され、前記第 1 の容量値の N 倍の第 2 の容量値を有する第 N + 1 のキャパシタ、

前記差動増幅器の前記出力端子と前記第 2 の入力端子とを接続して前記入力電圧に前記オフセット電圧を加算した電圧を前記差動増幅器に出力させるとともに、前記第 1 ～第 N のキャパシタを前記差動増幅器の前記出力端子と前記第 1 の入力端子との間に並列接続して充電させるための第 1 の切換手段、および前記第 1 の切換手段を用いて充電された前記第 1 ～第 N のキャパシタを前記差動増幅器の前記第 2 の入力端子と前記出力端子との間に直列接続して、前記オフセット電圧を補償した電圧を前記差動増幅器に出力させるための第 2 の切換手段を備える、オフセット電圧補償回路。

【請求項 2】 入力電圧と同じ電圧を出力する電圧フォロウとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、それぞれが予め定められた第 1 の容量値を有する第 1 ～第 N（ただし、N は 2 以上の整数である）のキャパシタ、

その一方電極が基準電位のラインに接続されて前記入力電圧で充電され、前記第 1 の容量値の N 倍の第 2 の容量値を有する第 N + 1 のキャパシタ、

前記差動増幅器の前記出力端子と前記第 1 の入力端子とを接続して前記差動増幅器の前記第 2 の入力端子に与えられた前記入力電圧に前記オフセット電圧を加算した電圧を前記差動増幅器に出力させるとともに、前記第 1 ～第 N のキャパシタを前記差動増幅器の前記出力端子と前記第 N + 1 のキャパシタの他方電極との間に並列接続して充電させるための第 1 の切換手段、および前記第 1 の切換手段を用いて充電された前記第 1 ～第 N のキャパシタを前記差動増幅器の前記第 1 の入力端子と前記出力端子との間に直列接続して、前記オフセット電圧を補償した電圧を前記差動増幅器に出力させるための第 2 の切換手段を備える、オフセット電圧補償回路。

【請求項 3】 さらに、前記第 1 の切換手段を用いて前記第 1 ～第 N のキャパシタを充電させる前に、前記第 1 ～第 N のキャパシタの各々の電極間を接続して放電させるための第 3 の切換手段を備える、請求項 1 または請求項 2 に記載のオフセット電圧補償回路、

【請求項 4】 入力電圧と同じ電圧を出力する電圧フォロウとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、予め定められた第 1 の容量値を有する第 1 のキャパシタ、

その一方電極が基準電位のラインに接続されて前記入力電圧で充電され、前記第 1 の容量値よりも大きな第 2 の容量値を有する第 2 のキャパシタ、

前記差動増幅器の前記出力端子と前記第 1 の入力端子とを接続して、前記差動増幅器の前記第 2 の入力端子に与えられた前記入力電圧に前記オフセット電圧を加算した電圧を前記差動増幅器に出力させるとともに、前記第 1 のキャパシタを前記差動増幅器の前記出力端子と前記第 2 のキャパシタの他方電極との間に接続して充電させるための第 1 の切換手段、および前記第 1 の切換手段を用いて充電された前記第 1 のキャパシタを前記差動増幅器の前記第 1 の入力端子と前記出力端子との間に接続して、前記オフセット電圧を補償した電圧を前記差動増幅器に出力させるための第 2 の切換手段を備える、オフセット電圧補償回路。

【請求項 5】 さらに、前記第 1 の切換手段を用いて前記第 1 のキャパシタを充電させる前に、前記第 1 のキャパシタの電極間を接続して放電させるための第 3 の切換手段を備える、請求項 4 に記載のオフセット電圧補償回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はオフセット電圧補償回路に関し、特に、入力電圧と同じ電圧を出力する電圧フォロウとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路に関する。

【0002】

【従来の技術】 図 26 は、従来の差動増幅器 20 の構成を示す回路図である。

【0003】 図 26 を参照して、この差動増幅器 20 は、定電流源 21、P チャネル MOS トランジスタ 22、23 および抵抗素子 24、25 を含む。P チャネル MOS トランジスタ 22 と 23 は同じサイズであり、抵抗素子 24 と 25 は同じ抵抗値を有する。

【0004】 定電流源 21 は、第 1 電源電位 VCC のラインとノード N21 との間に接続される。P チャネル MOS トランジスタ 22 は、ノード N21 とノード N22 の間に接続され、そのゲートは反転入力端子 20a に接続される。P チャネル MOS トランジスタ 23 は、ノード N21 と N23 の間に接続され、そのゲートは非反転入力端子 20b に接続される。抵抗素子 24、25 は、それぞれノード N22、N23 と第 2 電源電位 VSS のラインとの間に接続される。

【0005】定電流源 21 の出力電流 I_{ss} は、P チャネル MOS トランジスタ 22 と 23 に分流される。入力端子 20a の電位 V_{in1} と入力端子 20b の電位 V_{in2} とが同一である場合は、P チャネル MOS トランジスタ 22 に流れる電流 I_{b1} と P チャネル MOS トランジスタ 23 に流れる電流 I_{b2} とが同一になってノード N 22 の電位 V_{out1} とノード N 23 の電位 V_{out2} とは同一になる。したがって、差動増幅器 20 の出力電圧 $V_{out} = V_{out1} - V_{out2}$ は 0 (V) となる。

【0006】また、入力電位 V_{in1} が入力電位 V_{in2} よりも低い場合は、 I_{b1} が I_{b2} よりも大きくなり、 V_{out1} が V_{out2} よりも高くなる。したがって、出力電圧 V_{out} は正の電圧となる。また、入力電位 V_{in1} が入力電位 V_{in2} よりも高い場合は、 I_{b1} が I_{b2} よりも小さくなり、 V_{out1} が V_{out2} よりも低くなる。したがって、出力電圧 V_{out} は負の電圧となる。この出力電圧 V_{out} は、入力電位差 $V_{in2} - V_{in1}$ を増幅した電圧となる。

【0007】しかし、このような差動増幅器 20 では、P チャネル MOS トランジスタ 22 と 23 のサイズに差があったり、抵抗素子 24 と 25 の抵抗値に差がある場合は、入力電位 V_{in1} と V_{in2} が等しいときでも出力電圧 V_{out} は 0 (V) にならない。このときの出力電圧は、オフセット電圧と呼ばれる。

【0008】図 27 は、差動増幅器のオフセット電圧を補償するためのオフセット電圧補償機能を有する電圧フォロワ 30 の構成を示す回路図である。このような電圧フォロワ 30 は、たとえば Euro Display '96 (p. 247 ~ 250) に開示されている。

【0009】図 27 を参照して、この電圧フォロワ 30 は、差動増幅器 31、スイッチ 32 ~ 34 およびキャパシタ 35、36 を含む。差動増幅器 31 以外の素子 32 ~ 36 はオフセット電圧補償回路を構成する。スイッチ 32 は、差動増幅器 31 の出力端子 31c と反転入力端子 31a との間に接続される。スイッチ 33、34 は、差動増幅器 31 の出力端子 31c と非反転入力端子 31b との間に直列接続される。

【0010】キャパシタ 35 は、スイッチ 33 と 34 の間のノードと差動増幅器 31 の反転入力端子 31a との間に接続される。キャパシタ 35 は、所定の容量値 C_{of} を有し、差動増幅器 31 のオフセット電圧 V_{of} を電荷として保持する。キャパシタ 36 は、差動増幅器 31 の非反転入力端子 31b と第 2 電源電位 V_{SS} のラインとの間に接続される。キャパシタ 36 は、所定の容量値 C_a を有し、入力電位 V_{in} を電荷として保持する入力回路を構成する。差動増幅器 31 の非反転入力端子 31b および出力端子 31c は、それぞれ電圧フォロワ 30 の入力端子および出力端子となる。

【0011】次に、この電圧フォロワ 30 の動作について説明する。初期状態として、キャパシタ 36 には、入力電圧 V_{in} 分の電荷 $Q_0 = C_a \cdot V_{in}$ が蓄えられている

ものとする。ステップ S1 では、図 28 に示すように、スイッチ 32、33 がオンし、キャパシタ 35 に蓄えられていた電荷が消去 (リセット) される。ステップ S2 では、図 29 に示すように、リセットが終了したのでスイッチ 33 がオフする。

【0012】ステップ S3 では、図 30 に示すように、スイッチ 34 がオンし、オフセット電圧 V_{of} が検出される。すなわち、キャパシタ 35 にはオフセット電圧 V_{of} 分の電荷 ΔQ が蓄えられ、キャパシタ 36 の電荷が ΔQ だけ増加して $Q_0 + \Delta Q$ となり、キャパシタ 36 の端子電圧が V_{in} から V_{in}' に変化する。このとき、以下の式が成り立つ。

【0013】

【数 1】

$$\begin{cases} Q_0 + \Delta Q = C_a V_{in}' \\ \Delta Q = C_{of} V_{of} \end{cases}$$

$$\therefore Q_0 = C_a V_{in}' - C_{of} V_{of} = C_a V_{in}$$

$$\therefore V_{in}' = V_{in} + \frac{C_{of}}{C_a} V_{of}$$

【0014】ステップ S4 では、図 31 に示すように、オフセット電圧 V_{of} の検出が終了したので、スイッチ 34 がオフする。ステップ S5 では、図 32 に示すように、スイッチ 32 がオフしてスタンバイ状態となる。ステップ S6 では、図 33 に示すように、スイッチ 33 がオンし、検出したオフセット電圧 V_{of} が差動増幅器 31 の反転入力端子 31a にフィードバックされ、電圧フォロワ 30 の出力電圧 V_{out} がオフセット電圧 V_{of} 分だけ低下する。このとき電圧フォロワ 30 の出力電圧 V_{out} は次の式で表わされる。

【0015】

【数 2】

$$\begin{aligned} V_{OUT} &= V_{in}' + V_{of} - V_{of} \\ &= V_{in} + \frac{C_{of}}{C_a} V_{of} \end{aligned}$$

【0016】したがって、この電圧フォロワ 30 では、オフセット電圧は C_{of}/C_a 倍に低減化される。

【0017】

【発明が解決しようとする課題】しかし、従来の電圧フォロワ 30 では、 C_{of} に比べて C_a を十分に大きくする必要があったので、キャパシタ 36 の電極面積を十分に大きくする必要があり、レイアウト面積が大きくなるという問題があった。

【0018】また、オフセット電圧 V_{of} を検出するとき (ステップ S3)、差動増幅器 31 の出力端子 31c と非反転入力端子 31b がキャパシタ 35 を介して接続されるので、差動増幅器 31 の周波数特性やオフセット電圧 V_{of} の大きさによっては発振状態が生じ、オフセット電圧 V_{of} を正確に検出できなくなる。図 34 は、従来の

電圧フォロワ 30 の矩形波応答を示す波形図である。この図からステップ 3 において発振状態が生じ、電圧 V_{1i} 、 V_{out} が大きく変化することがわかる。

【0019】また、オフセット電圧 V_{os} を検出するとき（ステップ S3）、キャパシタ 34 と 36 が接続されるので、電荷の移動によって入力電圧 V_{1i} が大きく変化してしまうという問題があった。

【0020】これらの問題は、単結晶シリコントランジスタを用いずに、アモルファスシリコントランジスタやポリシリコントランジスタなどの性能の悪いトランジスタを用いて差動増幅器 31 を構成した場合に特に顕著となる。

【0021】それゆえに、この発明の一の目的は、レイアウト面積が小さなオフセット電圧補償回路を提供することである。

【0022】また、この発明の他の目的は、発振状態が発生せず、入力電圧が変化しないオフセット電圧補償回路を提供することである。

【0023】

【課題を解決するための手段】請求項 1 に係る発明は、入力電圧と同じ電圧を出力する電圧フォロワとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、第 1 ～第 $N+1$ のキャパシタ、第 1 の切換手段、および第 2 の切換手段を備える。第 1 ～第 N のキャパシタの各々は、予め定められた第 1 の容量値を有する。ただし、 N は 2 以上の整数である。第 $N+1$ のキャパシタは、差動増幅器の第 1 の入力端子と基準電位のラインとの間に接続されて入力電圧で充電され、第 1 の容量値の N 倍の第 2 の容量値を有する。第 1 の切換手段は、差動増幅器の出力端子と第 2 の入力端子とを接続して入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 ～第 N のキャパシタを差動増幅器の出力端子と第 1 の入力端子との間に並列接続して充電させる。第 2 の切換手段は、第 1 の切換手段を用いて充電された第 1 ～第 N のキャパシタを差動増幅器の第 2 の入力端子と出力端子との間に直列接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。

【0024】請求項 2 に係る発明は、入力電圧と同じ電圧を出力する電圧フォロワとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、第 1 ～第 $N+1$ のキャパシタ、第 1 の切換手段、および第 2 の切換手段を備える。第 1 ～第 N のキャパシタの各々は、予め定められた第 1 の容量値を有する。ただし、 N は 2 以上の整数である。第 $N+1$ のキャパシタは、その一方電極が基準電位のラインに接続されて入力電圧で充電され、第 1 の容量値の N 倍の第 2 の容量値を有する。第 1 の切換手段は、差動増幅器の出力

端子と第 1 の入力端子とを接続して差動増幅器の第 2 の入力端子に与えられた入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 ～第 N のキャパシタを差動増幅器の出力端子と第 $N+1$ のキャパシタの他方電極との間に並列接続して充電させる。第 2 の切換手段は、第 1 の切換手段を用いて充電された第 1 ～第 N のキャパシタを差動増幅器の第 1 の入力端子と出力端子との間に直列接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。

【0025】請求項 3 に係る発明では、請求項 1 または 2 に係る発明に、第 1 の切換手段を用いて第 1 ～第 N のキャパシタを充電させる前に、第 1 ～第 N のキャパシタの各々の電極間を接続して放電させるための第 3 の切換手段がさらに設けられる。

【0026】請求項 4 に係る発明は、入力電圧と同じ電圧を出力する電圧フォロワとして使用され、第 1 の入力端子、第 2 の入力端子および出力端子を含む差動増幅器のオフセット電圧を補償するためのオフセット電圧補償回路であって、第 1 のキャパシタ、第 2 のキャパシタ、第 1 の切換手段、および第 2 の切換手段を備える。第 1 のキャパシタは、予め定められた第 1 の容量値を有する。第 2 のキャパシタは、その一方電極が基準電位のラインに接続されて入力電圧で充電され、第 1 の容量値よりも大きな第 2 の容量値を有する。第 1 の切換手段は、差動増幅器の出力端子と第 1 の入力端子とを接続して、差動増幅器の第 2 の入力端子に与えられた入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 のキャパシタを差動増幅器の出力端子と第 2 のキャパシタの他方電極との間に接続して充電させる。第 2 の切換手段は、第 1 の切換手段を用いて充電された第 1 のキャパシタを差動増幅器の第 1 の入力端子と出力端子との間に接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。

【0027】請求項 5 に係る発明では、請求項 4 に係る発明に、第 1 の切換手段を用いて第 1 のキャパシタを充電させる前に、第 1 のキャパシタの電極間を接続して放電させるための第 3 の切換手段がさらに設けられる。

【0028】

【発明の実施の形態】【実施の形態 1】図 1 は、この発明の実施の形態 1 による電圧フォロワ 1 の構成を示す回路図であって、図 27 と対比される図である。

【0029】図 1 を参照して、この電圧フォロワ 1 が図 27 の電圧フォロワ 30 と異なる点は、スイッチ 2 ～ 4 およびキャパシタ 5 を含むオフセット電圧ラッチ回路 6 が新たに設けられている点である。スイッチ 2 は、スイッチ 33 のスイッチ 34 側の端子 33a と、スイッチ 34 とキャパシタ 35 の間のノード $N34$ との間に接続される。スイッチ 3 は、スイッチ 32 の反転入力端子 31a 側の端子 32a とノード $N34$ との間に接続される。スイッチ 4 は、スイッチ 32 の端子 32a と反転入力端

子31aとの間に接続される。キャパシタ5は、スイッチ32の端子32aとスイッチ33の端子33aとの間に接続される。キャパシタ5は、キャパシタ35と同じ容量値 C_{off} を有し、差動増幅器31のオフセット電圧 V_{off} を電荷として保持する。

【0030】次に、この電圧フォロワ1の動作について説明する。初期状態として、キャパシタ36には、入力電圧 V_{IN} 分の電荷 $Q_{\text{a}} = C_{\text{a}} \cdot V_{\text{IN}}$ が蓄えられているものとする。

【0031】ステップS1では、図2に示すように、スイッチ2, 4, 32, 33がオンし、キャパシタ5, 35の各々に蓄えられていた電荷が消去（リセット）される。ステップS2では、図3に示すように、リセットが終了したのでスイッチ33がオフする。

【0032】ステップS3では、図4に示すように、スイッチ34がオンし、オフセット電圧 V_{off} が検出される。すなわち、キャパシタ5, 35の各々にはオフセット電圧 V_{off} 分の電荷 ΔQ が蓄えられ、キャパシタ36の電荷が $2\Delta Q$ だけ増加して $Q_{\text{a}} + 2\Delta Q$ となり、キャパシタ36の端子電圧が V_{IN} から V_{IN}' に変化する。このとき、以下の式が成り立つ。

【0033】

【数3】

$$\begin{cases} Q_{\text{a}} + 2\Delta Q = C_{\text{a}} V_{\text{IN}}' \\ \Delta Q = C_{\text{off}} V_{\text{off}} \end{cases}$$

$$\therefore Q_{\text{a}} = C_{\text{a}} V_{\text{IN}}' - 2C_{\text{off}} V_{\text{off}} = C_{\text{a}} V_{\text{IN}}$$

$$\therefore V_{\text{IN}}' = V_{\text{IN}} + \frac{2C_{\text{off}}}{C_{\text{a}}} V_{\text{off}}$$

【0034】ステップS4では、図5に示すように、オフセット電圧 V_{off} の検出が終了したので、スイッチ34がオフする。ステップS5では、図6に示すように、スイッチ4, 32がオフしてスタンバイ状態となる。ステップS6では、図7に示すように、スイッチ3, 33がオンし、検出したオフセット電圧 V_{off} が差動増幅器31の反転入力端子31aにフィードバックされ、電圧フォロワ1の出力電圧 V_{OUT} が $2V_{\text{off}}$ 分だけ低下する。このとき電圧フォロワ1の出力電圧 V_{OUT} は次式で表わされる。

【0035】

【数4】

$$\begin{aligned} V_{\text{OUT}} &= V_{\text{IN}}' + V_{\text{off}} - 2V_{\text{off}} \\ &= V_{\text{IN}} + \frac{2C_{\text{off}}}{C_{\text{a}}} V_{\text{off}} - V_{\text{off}} \\ &= V_{\text{IN}} - \frac{C_{\text{a}} - 2C_{\text{off}}}{C_{\text{a}}} V_{\text{off}} \end{aligned}$$

【0036】したがって、この電圧フォロワ1では、 $C_{\text{a}} = 2C_{\text{off}}$ を満たすキャパシタ5, 35, 36を用いることにより、理論的にはオフセット電圧 V_{off} を完全にキ

ャンセルできる。

【0037】この実施の形態では、 $C_{\text{a}} = 2C_{\text{off}}$ の条件を満たせばオフセット電圧 V_{off} を完全にキャンセルすることができるので、従来のようにキャパシタ36の電極面積を大きくする必要はなく、回路のレイアウト面積が小さくてすむ。

【0038】なお、この実施の形態では、オフセット電圧ラッチ回路6を1段だけ付加したが、図8に示すように、オフセット電圧ラッチ回路6とスイッチ32, 33との間にオフセット電圧ラッチ回路6'をもう1段もうけてもよいし、2段以上設けてもよい。オフセット電圧ラッチ回路6を複数段設ければ、製造プロセスで生じる寸法誤差などが平均化され、製造された電圧フォロワ1の出力電圧 V_{OUT} のばらつきが小さくなる。

【0039】〔実施の形態2〕図9は、この発明の実施の形態2による電圧フォロワ10の構成を示す回路図であって、図27と対比される図である。

【0040】図9を参照して、この電圧フォロワ10が図27の電圧フォロワ30と異なる点は、キャパシタ11が新たに設けられ、スイッチ34aの端子34aがキャパシタ11を介して第2電源電位 V_{SS} のラインに接続されている点である。キャパシタ11は、キャパシタ36と同じ容量値 C_{a} を有し、入力電圧 V_{IN} を電荷として保持する。

【0041】次に、この電圧フォロワ10の動作について説明する。初期状態として、キャパシタ11, 36の各々には、入力電圧 V_{IN} 分の電荷 $Q_{\text{a}} = C_{\text{a}} \cdot V_{\text{IN}}$ が蓄えられているものとする。

【0042】ステップS1では、図10に示すように、スイッチ32, 33がオンし、キャパシタ35に蓄えられていた電荷がリセットされる。ステップS2では、図11に示すように、リセットが終了したのでスイッチ33がオフする。

【0043】ステップS3では、図12に示すように、スイッチ34がオンし、オフセット電圧 ΔV_{off} が検出される。すなわち、キャパシタ35にはオフセット電圧 ΔV_{off} 分の電荷 ΔQ が蓄えられ、キャパシタ11の電荷が ΔQ だけ増加して $Q_{\text{a}} + \Delta Q$ となり、キャパシタ11の端子電圧が V_{IN} から V_{IN}' に変化する。このとき、以下の式が成り立つ。

【0044】

【数5】

$$\begin{cases} Q_{\text{a}} + \Delta Q = C_{\text{a}} V_{\text{IN}}' \\ \Delta Q = C_{\text{off}} \Delta V_{\text{off}} \end{cases}$$

$$\therefore Q_{\text{a}} = C_{\text{a}} V_{\text{IN}}' - C_{\text{off}} \Delta V_{\text{off}} = C_{\text{a}} V_{\text{IN}}$$

$$\therefore V_{\text{IN}}' = V_{\text{IN}} + \frac{C_{\text{off}}}{C_{\text{a}}} \Delta V_{\text{off}}$$

【0045】ステップS4では、図13に示すように、オフセット電圧 ΔV_{off} の検出が終了したので、スイッチ

34がオフする。ステップS5では、図14に示すように、スイッチ32がオフしてスタンバイ状態となる。ステップS6では、図15に示すように、スイッチ33がオンし、検出したオフセット電圧 ΔV_{of} が差動増幅器31の反転入力端子31aにフィードバックされ、電圧フォロワ10の出力電圧 V_{out} が ΔV_{of} 分だけ低下する。このとき電圧フォロワ10の出力電圧 V_{out} は次式で表わされる。

【0046】

【数6】

$$\begin{aligned} V_{OUT} &= V_{IN} + V_{of} - \Delta V_{of} \\ &= V_{IN} + \frac{C_{of}}{C_a + C_{of}} V_{of} \end{aligned}$$

【0047】したがって、この電圧フォロワ10では、オフセット電圧 V_{of} を $C_{of} / (C_a + C_{of})$ 倍に減少できる。

【0048】この実施の形態では、差動増幅器31の出力端子30cと非反転入力端子31bとが接続されないため、従来のように発振状態が生じることはない。図16は、この電圧フォロワ10の矩形波応答を示す波形図であって、図34と対比される図である。この図からステップS3においても発振状態が発生せず、電圧 V_{in} 、 V_{out} が大きく変化しないことがわかる。すなわち、従来の電圧フォロワ30では発振が生じて良好なオフセットキャンセル効果が得られなかったが、この電圧フォロワ10では発振状態が生じるのを防止することができ、良好なオフセットキャンセル効果を得ることができる。

【0049】また、従来の電圧フォロワ30では、入力電圧 V_{in} すなわちキャパシタ36の端子電圧が変化していたが、この電圧フォロワ10ではキャパシタ35と結合されるキャパシタ11を別途設けたので、キャパシタ36の端子電圧 V_{in} が変化することはない。

【0050】なお、このような電圧フォロワ30と10の差は、特に、単結晶シリコントランジスタを用いず、アモルファスシリコントランジスタまたはポリシリコントランジスタなどの性能の悪いトランジスタを用いて差動増幅器31を構成した場合に顕著に見られた。

【0051】〔実施の形態3〕図17は、この発明の実施の形態3による電圧フォロワ15の構成を示す回路図であって、図1と対比される図である。

【0052】図17を参照して、この電圧フォロワ15が図1の電圧フォロワ1と異なる点は、キャパシタ16が新たに設けられ、スイッチ34の端子34aがキャパシタ16を介して第2電源電位VSSのラインに接続されている点である。キャパシタ16は、キャパシタ36と同じ容量値C_aを有し、入力電位 V_{in} を電荷として保持する。

【0053】次に、この電圧フォロワ15の動作について説明する。初期状態として、キャパシタ16、36の

各々には、入力電圧 V_{in} 分の電荷 $Q_a = C_a \cdot V_{in}$ が蓄えられているものとする。

【0054】ステップS1では、図18に示すように、スイッチ2、4、32、33がオンし、キャパシタ5、35に蓄えられていた電荷がリセットされる。ステップS2では、図19に示すように、リセットが終了したのでスイッチ33がオフする。

【0055】ステップS3では、図20に示すように、スイッチ34がオンし、オフセット電圧 ΔV_{of} が検出される。すなわち、キャパシタ5、35の各々にはオフセット電圧を ΔV_{of} 分の電荷 ΔQ が蓄えられ、キャパシタ16の電荷が $2\Delta Q$ だけ増加して $Q_a + 2\Delta Q$ となり、キャパシタ16の端子電圧が V_{in} から V_{in}' に変化する。このとき、以下の式が成り立つ。

【0056】

【数7】

$$\begin{cases} Q_a + 2\Delta Q = C_a V_{in}' \\ \Delta Q = C_{of} \Delta V_{of} \end{cases}$$

$$\therefore Q_a = C_a V_{in}' - 2C_{of} \Delta V_{of} = C_a V_{in}$$

$$\therefore V_{in}' = V_{in} + \frac{2C_{of}}{C_a} \Delta V_{of}$$

【0057】また、 $V_{in}' = V_{in} + V_{of} - \Delta V_{of}$ が成り立つので、 $\Delta V_{of} = V_{of} C_a / (C_a + 2C_{of})$ が得られる。

【0058】ステップS4では、図21に示すように、オフセット電圧 ΔV_{of} の検出が終了したので、スイッチ34がオフする。ステップS5では、図22に示すように、スイッチ4、32がオフしてスタンバイ状態となる。ステップS6では、図23に示すようにスイッチ3、33がオンし、検出したオフセット電圧 $2\Delta V_{of}$ が差動増幅器31の反転入力端子31aにフィードバックされ、電圧フォロワ15の出力電圧 V_{out} が $2\Delta V_{of}$ だけ低下する。このとき電圧フォロワ15の出力電圧 V_{out} は次式で表わされる。

【0059】

【数8】

$$\begin{aligned} V_{OUT} &= V_{IN} + V_{of} - 2\Delta V_{of} \\ &= V_{IN} + V_{of} - \frac{2C_a}{C_a + 2C_{of}} V_{of} \\ &= V_{IN} - \frac{C_a - 2C_{of}}{C_a} V_{of} \end{aligned}$$

【0060】したがって、 $C_a = 2C_{of}$ を満たすキャパシタ5、16、35、36を用いれば、理論的にはオフセット電圧 V_{of} を完全にキャンセルできる。

【0061】この実施の形態でも、実施の形態1、2と同じ効果が得られる。図24は、差動増幅器31のオフセット電圧 V_{of} (V)と、その差動増幅器31を用いた電圧フォロワ10、15の出力誤差電圧 $V_{error} = V$

1.3 (V) との関係を示す図である。電圧フォロワ 10 では $(V_{out} - V_{in}) / V_{in}$ は 0.35 程度となり、電圧フォロワ 15 では $(V_{out} - V_{in}) / V_{in}$ は 0.1 程度となった。なお、電圧フォロワ 15 において理論どおり $(V_{out} - V_{in}) / V_{in}$ が 0 にならなかったのは、スイッチやキャパシタの抵抗値などのためである。

【0062】なお、この実施の形態では、オフセット電圧ラッチ回路 6 を 1 段だけ設けたが、図 25 に示すように、オフセット電圧ラッチ回路 6 とスイッチ 32、33 との間にオフセット電圧ラッチ回路 6' をもう 1 段もうけてもよし、2 段以上もうけてもよい。オフセット電圧ラッチ回路を複数段設ければ、製造プロセスで生じる寸法誤差などが平均化され、製造された電圧フォロワ 15 の出力電圧 V_{out} のばらつきが小さくなる。

【0063】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0064】

【発明の効果】以上のように、請求項 1 に係る発明では、それぞれが第 1 の容量値を有する第 1 ～第 N のキャパシタと、差動増幅器の第 1 の入力端子と基準電位のラインとの間に接続されて入力電圧で充電され、第 1 の容量値の N 倍の第 2 の容量値を有する第 N+1 のキャパシタとが設けられる。そして、第 1 の切換手段が差動増幅器の出力端子と第 2 の入力端子とを接続して入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 ～第 N のキャパシタを差動増幅器の出力端子と第 1 の入力端子との間に並列接続して充電させ、第 2 の切換手段が充電された第 1 ～第 N のキャパシタを差動増幅器の第 2 の入力端子と出力端子との間に直列接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。これにより、理論的にはオフセット電圧を完全にキャンセルできるので、第 N+1 のキャパシタの容量値すなわちその電極面積が小さくてすみ、レイアウト面積が小さくてすみ、

【0065】請求項 2 に係る発明では、それぞれが第 1 の容量値を有する第 1 ～第 N のキャパシタと、その一方電極が基準電位のラインに接続されて入力電圧で充電され、第 1 の容量値の N 倍の第 2 の容量値を有する第 N+1 のキャパシタとが設けられる。そして、第 1 の切換手段が差動増幅器の出力端子と第 1 の入力端子とを接続して差動増幅器の第 2 の入力端子に与えられた入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 ～第 N のキャパシタを差動増幅器の出力端子と第 N+1 のキャパシタの他方電極との間に並列接続して充電させ、第 2 の切換手段が充電された第 1 ～第 N のキャパシタを差動増幅器の第 1 の入力端子と出力

端子との間に直列接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。これにより、理論的にはオフセット電圧を完全にキャンセルできるので、第 N+1 のキャパシタの容量値すなわちその電極面積が小さくてすみ、レイアウト面積が小さくてすみ、また、第 1 ～第 N のキャパシタを充電させるときでも、差動増幅器の出力端子と第 2 の入力端子とが結合されないで、発振状態が生じることが防止されるとともに第 2 の入力端子の入力電圧が変化することが防止される。

【0066】請求項 3 に係る発明では、請求項 1 または 2 に係る発明に、第 1 ～第 N のキャパシタを充電させる前に各々の電極間を接続して放電させるための第 3 の切換手段がさらに設けられる。この場合は、オフセット電圧を正確に検出できる。

【0067】請求項 4 に係る発明では、第 1 の容量値を有する第 1 のキャパシタと、その一方電極が基準電位のラインに接続されて入力電圧で充電され、第 1 の容量値よりも大きな第 2 の容量値を有する第 2 のキャパシタとが設けられる。そして、第 1 の切換手段が差動増幅器の出力端子と第 1 の入力端子とを接続して差動増幅器の第 2 の入力端子に与えられた入力電圧にオフセット電圧を加算した電圧を差動増幅器に出力させるとともに、第 1 のキャパシタを差動増幅器の出力端子と第 2 のキャパシタの他方電極との間に接続して充電させ、第 2 の切換手段が充電された第 1 のキャパシタを差動増幅器の第 1 の入力端子と出力端子との間に接続して、オフセット電圧を補償した電圧を差動増幅器に出力させる。したがって、第 1 のキャパシタを充電させるときでも、差動増幅器の出力端子と第 2 の入力端子とが結合されないで、発振状態が生じることが防止されるとともに第 2 の入力端子の入力電圧が変化することが防止される。

【0068】請求項 5 に係る発明では、請求項 4 に係る発明に、第 1 の切換手段を用いて第 1 のキャパシタを充電させる前に、第 1 のキャパシタの電極間を接続して放電させるための第 3 の切換手段がさらに設けられる。この場合は、オフセット電圧を正確に検出できる。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による電圧フォロワの構成を示す回路図である。

【図 2】 図 1 に示した電圧フォロワの動作を説明するための回路図である。

【図 3】 図 1 に示した電圧フォロワの動作を説明するための他の回路図である。

【図 4】 図 1 に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

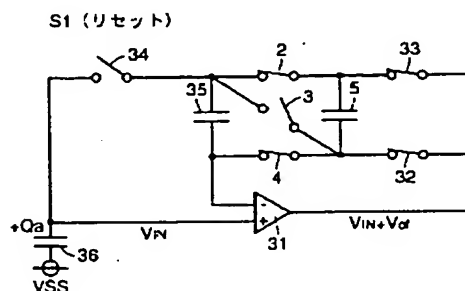
【図 5】 図 1 に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図 6】 図 1 に示した電圧フォロワの動作を説明するためのさらに他の回路図である。

【図 7】 図 1 に示した電圧フォロワの動作を説明する

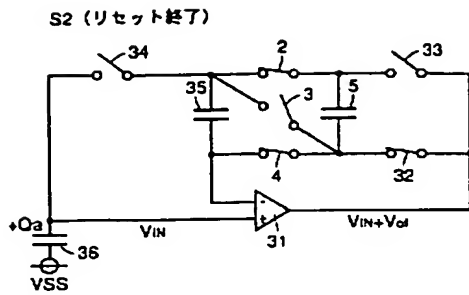
【図22】 図17に示した電圧フォロワの動作を説明 30
 するためのさらに他の回路図である。

【图2】

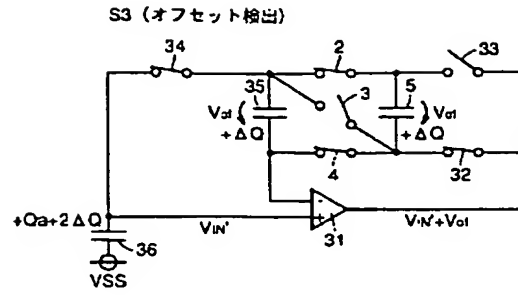


1, 1', 10, 15, 15' 電圧フォロウ、2~
4, 32~34 スイッチ、5, 11, 16, 35, 3
6 キャパシタ、6, 6' オフセット電圧ラッチ回
路、20, 31 差動増幅器、21 定電流源、22,
23 PチャネルMOSトランジスタ、24, 25 抵
抗素子。

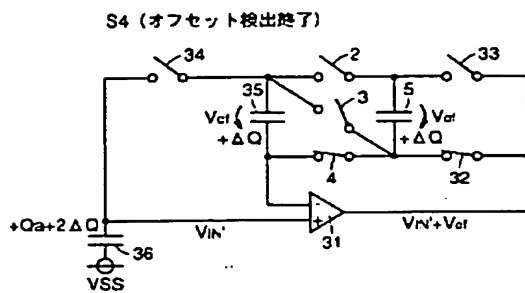
【図 3】



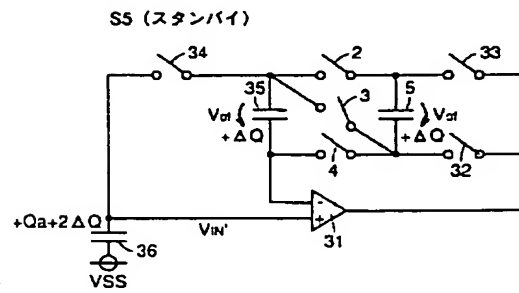
【図 4】



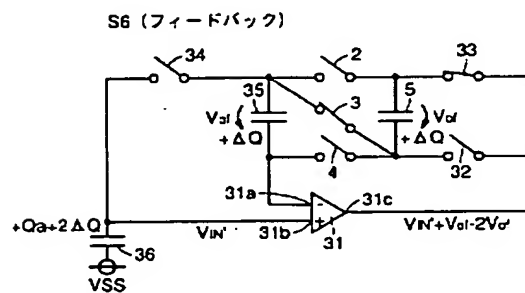
【図 5】



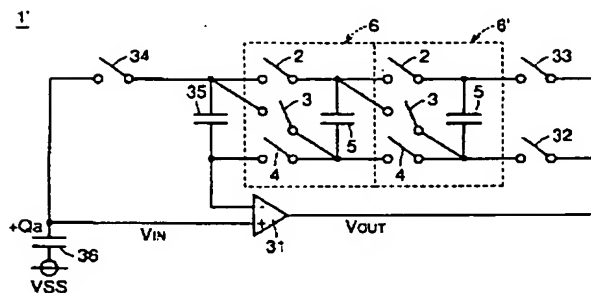
【図 6】



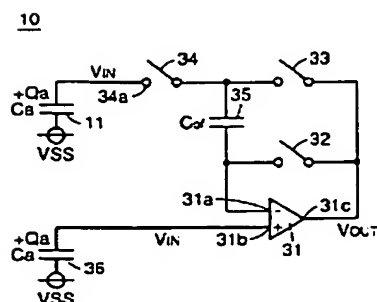
【図 7】



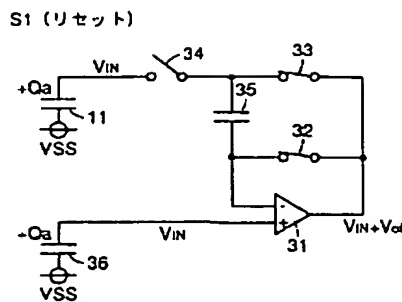
【図 8】



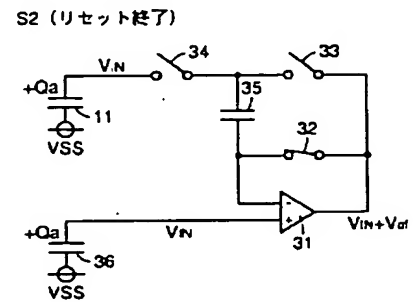
【図 9】



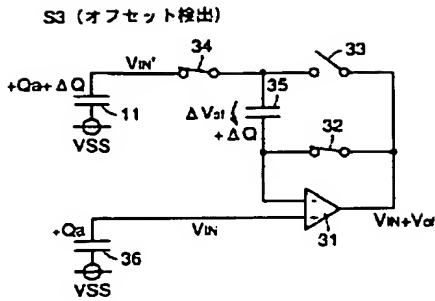
【図 10】



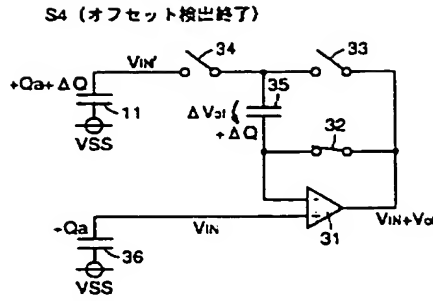
【図 11】



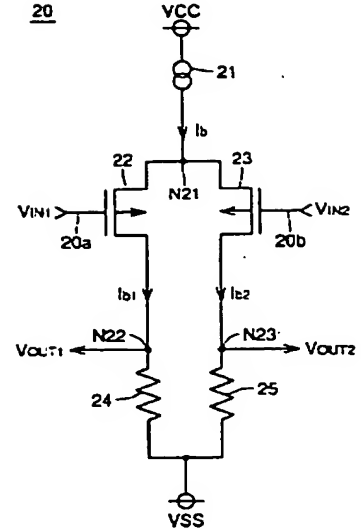
【図 12】



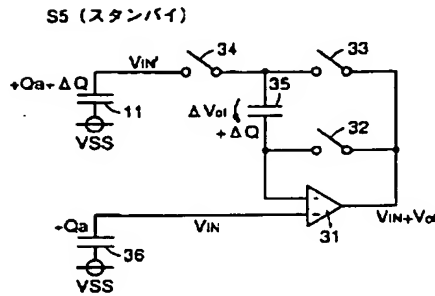
【図 13】



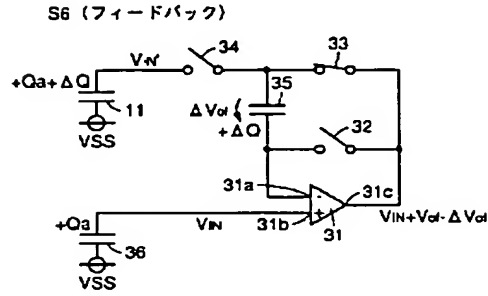
【図 26】



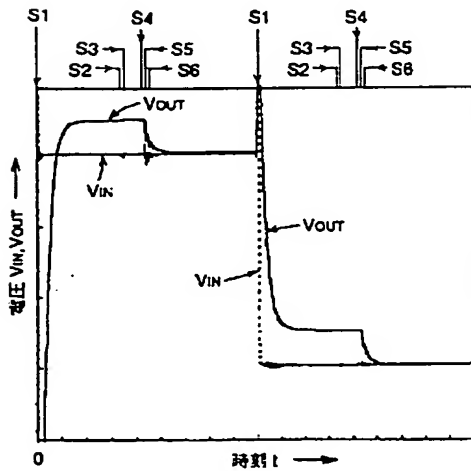
【図 14】



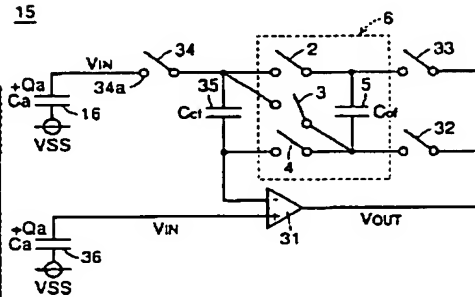
【図 15】



【図 16】

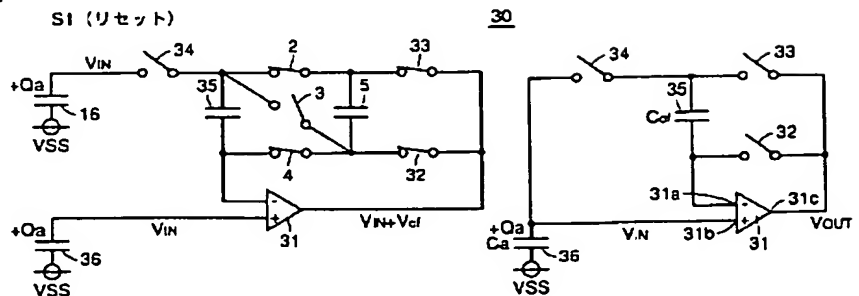


【図 17】

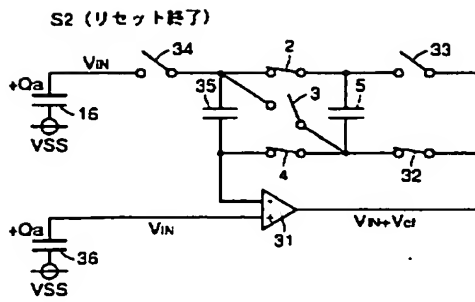


【図 18】

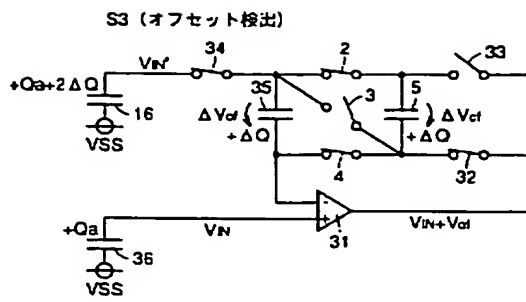
【図 27】



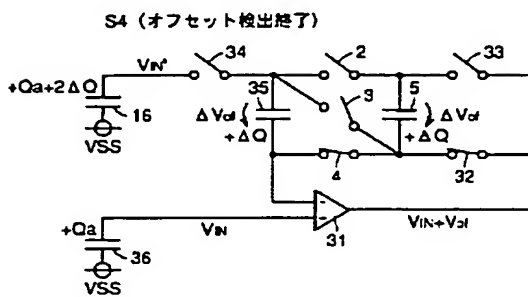
【図 19】



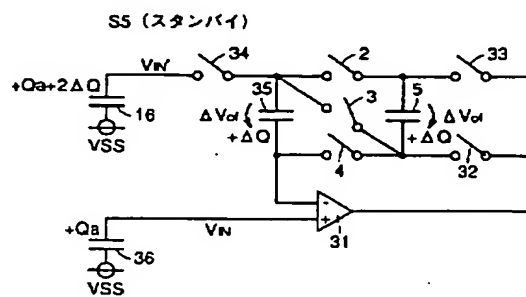
【図 20】



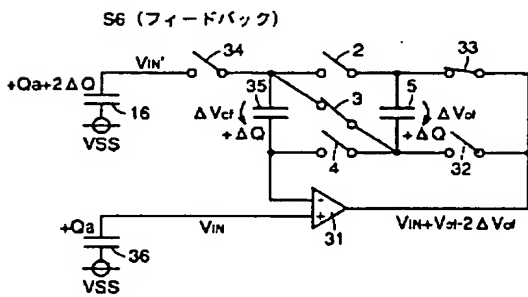
【図 21】



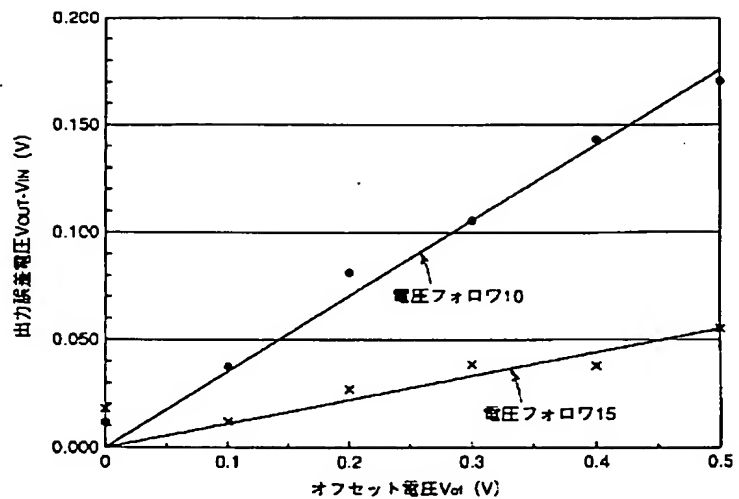
【図 22】



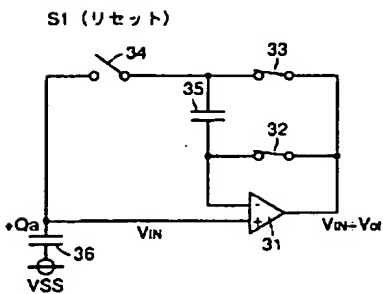
【図 23】



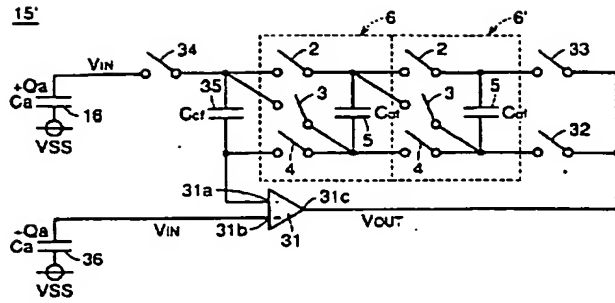
【図 24】



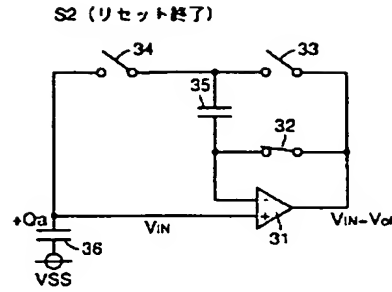
【図 28】



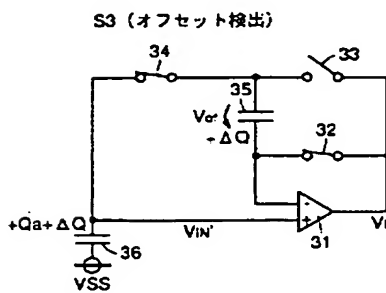
【図 25】



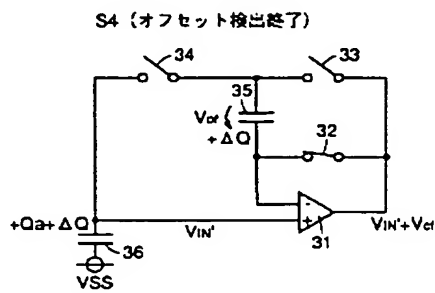
【図 29】



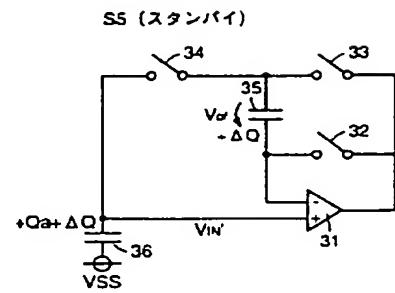
【図 30】



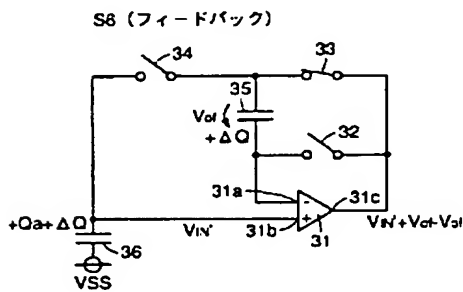
【図 31】



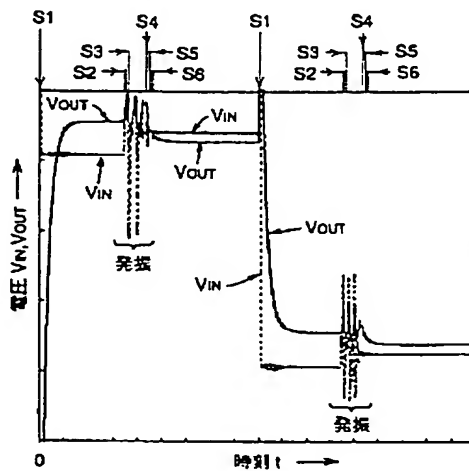
【図 32】



【図 33】



【図 34】



フロントページの続き

(72)発明者 鈴木 昭弘
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 岩田 明彦
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 5J091 AA01 AA12 CA13 CA54 CA92
FA18 HA10 HA25 HA29 HA38
KA05 KA19 MA05 TA02 TA06